

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2002-368118

(43)Date of publication of application : 20.12.2002

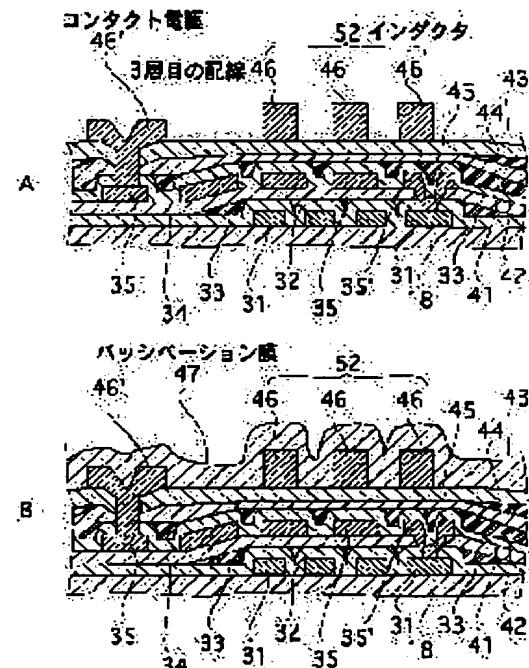
(51)Int.Cl.

H01L 21/8222  
H01L 21/3205  
H01L 21/331  
H01L 21/822  
H01L 27/04  
H01L 27/06  
H01L 29/732

(21)Application number : 2001-168492 (71)Applicant : SONY CORP

(22)Date of filing : 04.06.2001 (72)Inventor : YONEDA SHUJI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR



(57)Abstract:

(43) PROBLEM TO BE SOLVED: To provide a semiconductor device which has a high quality factor Q and is easily manufactured at a low cost, by placing thick film inductors above bipolar transistors.

(43) SOLUTION: The semiconductor device manufacturing method comprises forming a layer insulation film 41 on a second layer wiring 35 on bipolar transistors 30, spin-coating to form an SOG film 42 thereon, etching back it to be planarized, forming a layer insulation film 43, spin-coating to form an SOG film 44 thereon, etching back it to planarize, forming an aluminum thick film on a layer insulation film 45, formed thereon and dry etching it via a patterned resist film by the RIE method, to form a third layer wiring 46 which includes thick-film inductors 52.

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1]A semiconductor device, wherein a thick film inductor of spiral shape is formed in a semiconductor device which has a bipolar transistor and an inductor on an interlayer insulation film on said bipolar transistor by which flattening was carried out.

[Claim 2]The semiconductor device according to claim 1, wherein said thick film inductor processes a metal thick film formed in said interlayer insulation film and is formed in one with wiring.

[Claim 3]The semiconductor device according to claim 2, wherein material of said metal thick film is aluminum (aluminum), tungsten (W), or molybdenum (Mo).

[Claim 4]The semiconductor device according to claim 1, wherein spiral shape of said thick film inductor is formed as a unit of a repetition of an octagon which cut off a square four-corners part.

[Claim 5]The semiconductor device according to claim 1, wherein said bipolar transistor is a double polysilicon type bipolar transistor or a single polysilicon type bipolar transistor.

[Claim 6]A manufacturing method of a semiconductor device which has a bipolar transistor and an inductor characterized by comprising the following.

A process of carrying out flattening of the interlayer insulation film formed on said bipolar transistor.

A process of forming a metal thick film in said interlayer insulation film by which flattening was carried out.

A process of processing said metal thick film and forming a thick film inductor in spiral shape in one with wiring.

[Claim 7]A manufacturing method of the semiconductor device according to claim 6 which a process of carrying out flattening of said interlayer insulation film carries out spin coating to said interlayer insulation film, forms a spin one glass film, and is characterized by being the process of carrying out etchback of said spin one glass film continuously.

[Claim 8]Spin coating of said spin one glass film to said interlayer insulation film top in which a process of carrying out flattening of said interlayer insulation film was formed with formation of said interlayer insulation film, A manufacturing method of the semiconductor device according to claim 7 being the process of repeating combination with etchback of said spin one glass film twice or more.

[Claim 9]A manufacturing method of the semiconductor device according to claim 6 processing said metal thick film by a reactive-ion-etching method.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to a semiconductor device and a manufacturing method for the same, and relates to a semiconductor device provided with the inductor on the high-speed bipolar transistor in more detail, and a manufacturing method for the same.

[0002]

[Description of the Prior Art] High integration is demanded with improvement in the speed with much more semiconductor device in recent years, especially semiconductor device used in the high frequency circuit of the radio communications system represented by the cellular phone. Therefore, the single polysilicon type bipolar transistor of wash TOEMITTA composition and a double polysilicon type bipolar transistor are adopted as a transistor for the bipolar transistor which operates at high speed, and especially much more improvement in the speed.

[0003] On the other hand, the high quality factor Q (after-mentioned) is requested from the inductor for a high frequency oscillation, and. Since a comparatively large area is occupied and it becomes an obstacle of the miniaturization of a semiconductor device, and high integration when an inductor is made into superficial spiral shape, to make an occupation area small as much as possible is desired.

Considering it as the inductor on chip which has arranged the inductor in the upper parts, such as a bipolar transistor, is the situation which is not avoided.

[0004] Drawing 13 is a top view showing the inductor of superficial spiral shape, and drawing 14 is a sectional view of the [14]-[14] line direction in drawing 13. With reference to drawing 13 and drawing 14, the inductor 110 is formed in the semiconductor substrate 101, the lower layer wiring 103 is formed on the insulator layer 102, and the interlayer insulation film 104 is formed on it, and also the contact electrode 105 of lower layer wiring and the inductor 110 is formed in the interlayer insulation film 104. And on the interlayer insulation film 104, the inductor 110 of spiral shape is formed in one following the upper wiring 106 and this, and the other end of the inductor 110 is connected to the contact electrode 105 with the lower layer wiring 103.

[0005] As everyone knows, as for an inductor, the characteristic is shown by L (inductance) and Q (quality factor: sharpness of an oscillation), and Q is shown by the following formula (1).

$$Q = \omega L / R \text{ Formula (1)}$$

In here, omega is angular frequency and R is the wiring resistance of an inductor. Therefore, it requires carrying out L for obtaining high Q at size, and making R small. That is, it is required to carry out the number of turns of the inductor (inductor 110 of drawing 13) of spiral shape for making L large at size, and to carry out the surface area and thickness of the inductor 110 for making R small at size.

[0006] However, since the occupation area of an inductor is increased, it is limited to make large surface area of to make the number of turns of an inductor large into the semiconductor device which attains high integration, and an inductor, and also on the other hand, making a number of turns large leads to making R large. Therefore, although the method of using an inductor as a thick film remains, When carrying out dry etching of the metal thick film and processing spiral shape, it is easy to cause a defect of shape, and also a thick film inductor tends to leave a work residue, and although it incorporates such an inductor, reliability has a problem that only a scarce semiconductor device is obtained.

[0007] In such a situation, to JP,6-334137,A. As opposed to the inductors 115, 116, and 117 formed in the passive circuit board 104 of an insulator as shown in the top view of drawing 15, The hite RISSODO integrated circuit which carries the FET element chip 103 formed in the semi insulating GaAs substrate with flip chip bonding method is indicated. Since this integrated circuit is in a field which is different in the inductors 115, 116, and 117 and the FET element chip 103, it is what requires an area large as the whole, and also since an inductor and FET are manufactured individually and assembled, cost is size.

[0008] On the other hand, the inductor as shown in drawing 16 is indicated by JP,3-263366,A. To namely, the insulator layer 259 on the circuit element area 240 formed in the semiconductor substrate in drawing 16. Two or more ring shape metallic wiring layers 251, 252, and 253 are accumulated via the interlayer insulation films 256 and 257 between each, The inductor 250 which connected the ring shape metallic wiring layers 251, 252, and 253 by the through holes 254 and 255 established in the interlayer insulation films 256 and 257 is formed.

[0009] The inductor which consists of the 2nd electric conduction pattern 302 that the 1st same electric conduction pattern 301 as a usual inductor and this were formed in the Patent Gazette No. 2904086 gazette in superposition by up-and-down physical relationship, and was electrically connected to it is indicated. A of drawing 17 is a top view of the inductor, and B of drawing 17 is a sectional view of the [B]-[B] line direction in A of drawing 17. As a solid line shows A of drawing 17, the 1st electric conduction pattern 301 of spiral shape is formed on the insulator layer 300, and the 2nd electric conduction pattern 302 that avoids a lap in A of drawing 17 and is shown with a slightly larger

dashed line is formed in the insulator layer 300 of the lower part.

It is electrically connected by the contact 303 of plane shape vertical [ the 1st electric conduction pattern 301 and the 2nd electric conduction pattern 302 ] and long and slender.

And the 1st electric conduction pattern 301 and the 2nd electric conduction pattern 302 which are illustrated are set to 0.5-1.0 micrometer in thickness by each.

[0010]

[Problem(s) to be Solved by the Invention]The semiconductor device by the above and JP,3-263366,A, Since the inductor 250 is arranged on the circuit element area 240, the whole required surface product is small, but since the inductor 250 is accumulating the ring shape metallic wiring layers 251, 252, and 253 and the interlayer insulation films 256 and 257 by turns, A manufacturing process is complicated and also the wiring resistance of the inductor 250 becomes large. The semiconductor device by the Patent Gazette No. 2904086 gazette also has the difficulty of requiring a repetition of detailed processing, in formation of an inductor like formation of the 1st electric conduction pattern 301, and formation of the 2nd electric conduction pattern 302. That is, in these semiconductor layer devices, in order to make Q of an inductor high, thickness of an inductor is not made large, the inductor is made into two-layer structure or a three-tiered structure, therefore complicated processing is required.

[0011]However, even if it tries formation of a thick film inductor in order to simplify the formation process of an inductor as mentioned above, For example, even if it tries to process an aluminum thick film into spiral shape, The defect of shape of a spiral, generating of a work residue, long-time-izing of processing, and other various problems that serve as a neck on a process arise, and the work residue which remains especially in an inductor has great influence on the characteristic and reliability of an inductor.

[0012]By making this invention in view of an above-mentioned problem, and arranging a thick film inductor above a bipolar transistor, being miniaturized, manufacture is simple and makes it a technical problem to provide a semiconductor device for the high speed communications which are low Kos, and a manufacturing method for the same.

[0013]

[Means for Solving the Problem]Although the above-mentioned technical problem is solved by composition of claim 1 or claim 6, it will be as following if the solving means is explained.

[0014]In a semiconductor device which has a bipolar transistor and an inductor, a semiconductor device of claim 1 is a semiconductor device with which a thick film inductor of spiral shape is formed on an interlayer insulation film on a bipolar transistor by which flattening was carried out. Such a semiconductor device provides a semiconductor device which was miniaturized and was accumulated highly by forming a thick film inductor above a bipolar transistor.

[0015]A thick film inductor processes a metal thick film formed in an interlayer insulation film, and a semiconductor device of claim 2 subordinate to claim 1 is formed in one with wiring. Since an inductor and a bipolar transistor are not manufactured independently, but a metal thick film is processed and wiring and an inductor of a bipolar transistor are formed in one, such a semiconductor device is low cost. A semiconductor device of claim 3 subordinate to claim 2 is a semiconductor device whose material of a metal thick film is (W) or molybdenum (Mo) in aluminum 2 UMU (aluminum) and tungsten. Formation of a thick film inductor which a metal thick film forms and processes a metal thick film is easy for such a semiconductor device, and it gives an inductor of low cost.

[0016]A semiconductor device of claim 4 subordinate to claim 1 is a semiconductor device with which a thick film inductor of spiral shape is formed as a unit of a repetition of an octagon which cut off a square four-corners part. Processing from a metal thick film is easy for such a semiconductor device, and it serves as low cost, and also it makes it possible to make surface area of a thick film inductor large, and to raise Q by making resistance of an inductor small. A semiconductor device of claim 5 subordinate to claim 1 is a semiconductor device whose bipolar transistor is a double polysilicon type bipolar transistor or a single polysilicon type bipolar transistor. High speed communication much more than a semiconductor device for the conventional high speed communications is possible for such a semiconductor device, and it gives a semiconductor device of low cost.

[0017]In a manufacturing method of a semiconductor device with which a manufacturing method of a semiconductor device of claim 6 has a bipolar transistor and an inductor, It is a manufacturing method which has a process of carrying out flattening of the interlayer insulation film formed on a bipolar transistor, a process of forming a metal thick film in an interlayer insulation film by which flattening was carried out, and the process of processing a metal

thick film and forming a thick film inductor in spiral shape in one with wiring. Since a manufacturing method of such a semiconductor device processes into a thick film inductor of spiral shape a metal thick film formed in an interlayer insulation film which carried out flattening, processing is performed smoothly and it does not generate a defect of shape or a work residue of an inductor.

[0018]A manufacturing method of a semiconductor device of claim 7 subordinate to claim 6 is a manufacturing method which is the process of a process which carries out flattening carrying out spin coating of the interlayer insulation film to an interlayer insulation film, and forming a spin one glass film, and carrying out etchback of the spin one glass film continuously. A manufacturing method of such a semiconductor device fills a crevice on an interlayer insulation film, deletes heights, and carries out flattening of the interlayer insulation film simply. A manufacturing method of a semiconductor device of claim 8 subordinate to claim 7, A process of carrying out flattening of the interlayer insulation film is a manufacturing method which is the process of repeating combination of formation of an interlayer insulation film, spin coating of a spin one glass film to a formed interlayer insulation film top, and etchback of a spin one glass film twice or more. A manufacturing method of such a semiconductor device makes possible much more flattening of an interlayer insulation film, and also makes it possible to form wiring and a thick film inductor in the 3rd layer or the 4th layer. A manufacturing method of a semiconductor device of claim 9 subordinate to claim 6 is a manufacturing method which processes a metal thick film by a reactive-ion-etching method. A manufacturing method of such a semiconductor device makes it possible to perform detailed processing of a thick film inductor precisely and at high speed.

[0019]

[Embodiment of the Invention]In the semiconductor device which has a bipolar transistor and an inductor of spiral shape as a semiconductor device of this invention and a manufacturing method for the same were mentioned above, It is the semiconductor device with which the thick film inductor of spiral shape is formed in the interlayer insulation film on a bipolar transistor by which flattening was carried out.

[0020]After formation of a thick film inductor carries out flattening of the surface of an interlayer insulation film, perform it, but. In forming a thick film inductor in wiring of the two-layer eye which makes the 1st layer the electrode of a downward bipolar transistor, and its drawer wiring, and is provided via the interlayer insulation film on it, Flattening of the interlayer insulation film is performed by forming the SOG (spin one glass) film which carried out spin coating to the interlayer insulation film, and was excellent in surface smoothness, and also carrying out etchback from the surface side of a SOG film. And unevenness and the level difference of the surface of an interlayer insulation film are size, when flat [ sufficient ] is not obtained in 1 time of the combination of formation of a SOG film, and etchback, an interlayer insulation film is further formed in up to it, and the spin coating and etchback of a SOG film are repeated. Since a surface step generally becomes large in providing a thick film inductor in one with the 3rd layer or wiring of the 4th layer, it is required to repeat the combination of formation of an interlayer insulation film, the spin coating of a SOG film, and the etchback of a SOG film twice [ at least ]. These operations are simple in process and do not become a factor which increases the manufacturing cost of a semiconductor device greatly.

[0021]The thick film inductor by this invention is independently created as an inductor, does not connect with wiring, processes into pattern state the metal thick film formed on an interlayer insulation film, and is formed in one with wiring. Therefore, as compared with the case where an inductor is created separately, a manufacturing cost can be reduced substantially, and it becomes a semiconductor device of the low cost integrated highly. Although aluminum (aluminum) is chosen as wiring and the material of a thick film inductor from a viewpoint that formation of a metal thick film and processing of a metal thick film are cheap easily, W (tungsten) and Mo (molybdenum) can also be used almost equally.

[0022]The thick film inductor made to form can obtain the high quality factor Q by considering it as 2-3 micrometers or the thickness beyond it, and making large real area per occupation area of an inductor as much as possible, and making resistance R in a formula (1) small. By considering it as the octagon which cut off the square four-corners part, processing becomes easy and the spiral shape of an inductor reduces process cost, although what kind of shape, such as a thing of a circle configuration, and a thing of triangular shape, repeated unit spirals may be. And it is high-speed etching, high selectivity, and low damage nature, and carries out to processing of a metal thick film by the RIE (reactive ion etching) method in which highly precise processing is possible. Although there are an ECR (electron cyclotron resonance) form, a magnetron form, a triode form, narrow GYAPU type, etc. in the RIE method, since the

ECR form is excellent in micro-processing nature and low damage nature, it is especially preferred.

[0023]Although it operates at high speed and accumulation is used as the semiconductor layer device for communication combining a comparatively easy bipolar transistor, a thick film inductor, Also in a bipolar transistor, attain improvement in the speed further and an emitter is used as polysilicon, The single polysilicon type bipolar transistor which poured in the impurity As etc., diffused to the base and was considered as wash TOEMITTA composition, The double polysilicon type bipolar transistor considered as wash TOEMITTA composition by using an emitter and a base as polysilicon for stabilization of performance is suitably combined with a thick film inductor.

[0024]

[Example]Next, an example explains concretely a semiconductor device of this invention, and a manufacturing method for the same with reference to drawings.

[0025](Example 1) Hereafter, form a double polysilicon type bipolar transistor on a substrate, and the semiconductor device which equipped the interlayer insulation film on the bipolar transistor with the inductor on chip which forms a thick film inductor is made into an example, Therefore, the manufacturing method is explained by drawing 8 from drawing 1.

[0026]As shown in A of drawing 1, after forming the n<sup>+</sup> type embedded layer 2 in the p type silicon semiconductor substrate 1 selectively with well-known art, Resistivity forms in about 1 micrometer in thickness the n type epitaxial layer 3 which is an about 1·ohmcm grade all over the embedded layer 2 being included, Then, the low-pressure-silicon nitride (LP-Si<sub>3</sub>N<sub>4</sub>) film 5 is made to deposit by a thermal oxidation method on the epitaxial layer 3 the silicon oxide (SiO<sub>2</sub>) film 4 about 30 nm thick and under decompression. then, LOCOS (local silicon oxidation) as shown in B of drawing 1, after forming the resist film 6 in the whole surface -- pattern NINGU of the resist film 6 is carried out so that the isolation region by law can be formed, namely, so that the resist film 6 may remain on the element formation region of a center section in a figure. And it removes by the dry etching technology of common knowledge of the low-pressure-silicon nitride film 5 by using the resist film 6 as a mask, and the silicon oxide film 4 is also removed. Therefore, the low-pressure-silicon nitride film 5 will remain in the portion used as an element formation region.

[0027]Next, after exfoliating the above-mentioned resist film 6 with the mixed liquor (sulfuration liquid) of sulfuric acid and hydrogen peroxide solution, the oxidizing film 7 is formed in a thickness of about 800 nm except for the portion in which the low-pressure-silicon nitride film 5 remains. Then, the low-pressure-silicon nitride film 5 is etched with drug solutions, such as hot phosphoric acid. As shown in A of drawing 2, then, via the patterning resist film 8 which carried out the opening of the portion (portion which forms a plug) used as the drawer part of the embedded layer 2 to behind, N type P (Lynn) ion is poured in with energy and a dose (about 50 keV(s), about 4.5E15·cm<sup>-2</sup>) which contact the embedded layer 2. Then, after exfoliating the resist film 8, a thickness of about 300 nm is made to deposit a silicon oxide film with the CVD method with which it does not illustrate but \*\* also makes TEOS (tetraethoxy orthosilicate) material gas in the upper part. And after forming a resist film in the whole surface, as etchback of about 130 nm of the whole surface is carried out and it is shown in B of drawing 2 by the RIE method, flattening of the wafer surface is carried out.

[0028]Next, as shown in A of drawing 3, by thermal oxidation, the silicon oxide film 10 is formed in the whole surface at about 30 nm in thickness, the patterning resist film 11 which carried out the opening of the portion used as the isolation region 12 is formed, and p type B (boron) ion is poured in. That is, an ion implantation is carried out with energy and a dose (about 50 keV(s), about 4.5E13·cm<sup>-2</sup>) which are connected with the p type silicon semiconductor substrate 1. And the resist film 11 is exfoliated. Then, about 100 nm is made to deposit the silicon oxide film 13 on the surface of the silicon oxide film 10 from TEOS with a CVD method, as shown in B of drawing 3. In B of drawing 3, the silicon oxide film 13 and the silicon oxide film 10 are shown as one. And it is considered as the patterning resist film 14 which carried out the opening of the field (active region) which forms a npn transistor after forming the resist film 14 in the whole surface, and after carrying out dry etching of the silicon oxide film 13 of an active region and removing it, the resist film 14 is exfoliated.

[0029]Next, about 150 nm in thickness is made to deposit the polysilicon film 15 on the whole surface with a CVD method, as shown in A of drawing 4. BF<sup>2+</sup> ion is poured into the polysilicon film 15 by the about 40 energy keV(s), and dose <sup>-2</sup> of 5.5E14 cm so that base extraction resistance may be formed. And the resist film 17 which carried out pattern NINGU is formed so that the portion used as base extraction resistance of the polysilicon film 15 may remain, and after carrying out dry etching of the polysilicon film 15 and removing it, the resist film 17 is exfoliated. Then,

after making about 350 nm in thickness deposit the silicon oxide film 18 on the whole surface with a CVD method, heat-treat (for about 600 \*\* and 180 minutes), the silicon oxide film 18 is made to elaborate, and membranous quality is raised. And as shown in B of drawing 4, the patterning resist film 19 which carried out the opening of the portion equivalent to the below-mentioned genuine base region 21 is formed, dry etching of the silicon oxide film 18 and the polysilicon film 15 is carried out, and they are removed.

Then, the resist film 19 is exfoliated.

[0030]Next, although a graphic display is omitted, after making about 10 nm in thickness deposit a silicon oxide film on the whole surface by a thermal oxidation method, as shown in A of drawing 5,  $B^+$  ion is poured in by the about 30 energy keV(s), and dose  $\cdot^2$  of 1.0E12 cm so that the genuine base region 21 may be formed. And about 550 nm in thickness is made to deposit the silicon oxide film 22 which makes TEOS material gas with a CVD method, About 900 \*\* and heat treatment for 15 minutes are performed so that B may be spread to the n type epitaxial layer 3 of a single crystal from the polysilicon film 15 which poured in  $BF^{2+}$  ion previously and the graft base region 23 may be formed. Of this, the base areas (genuineness and graft base) 21 and 23 of a transistor are formed thoroughly. Then, as shown in B of drawing 5, the sidewall 24 is formed in the emitter opening right above the genuine base region 21 by making it the portion corresponding to the base area 20 of the silicon oxide film 22 of A of drawing 5 remain, and removing the other portion by the RIE method.

[0031]Next, for example, about 150 nm in thickness is made to deposit the polysilicon film 25 on the whole surface with a CVD method. Then, as shown in drawing 6, in order to have wash TOEMITTA composition, It heat-treats for pouring  $As^+$  ion into the polysilicon film 25 by the about 60 energy keV(s), and dose  $\cdot^2$  of 2.0E16 cm, and diffusing poured-in  $As^+$  to the genuine base region 21 (for about 850 \*\* and 30 minutes), and the emitter 26 is formed by a self aryne. And after the art of common knowledge, such as a photolithography and dry etching, removes polysilicon films 25 other than an emitter ejection portion, the base extraction electrode 27, the collector extraction electrode 28, and the emitter extraction electrode 29 are formed. Thus, the double polysilicon type bipolar transistor 30 of wash TOEMITTA composition is formed. Then, the Al wiring of the 1st layer provided with the barrier metal of a Ti system including each electrodes 27, 28, and 29 is formed, and about 400 \*\* and annealing for 20 minutes are performed.

[0032]From drawing 7, henceforth, the bipolar transistor 30 shown in drawing 6 is separated, and the processing performed to the surroundings of Al wiring 31 of the 1st layer containing each electrodes 27, 28, and 29 provided in the upper part and formation of an inductor are explained. That is, A of drawing 7 shows Al wiring 31 of the 1st layer on the silicon oxide film 18 shown in drawing 6. And about 500 nm in thickness is made to deposit the silicon oxide film 32 from TEOS under a plasma atmosphere with a CVD method as an interlayer insulation film the whole surface on Al wiring 31, as shown in B of drawing 7. Then, spin coating of SOG film 33 is carried out to the whole surface, and flattening of the portion which carries out etchback by the RIE method and has a level difference is carried out. Then, the silicon oxide film 34 is made to deposit on the whole surface from TEOS under a plasma atmosphere with a CVD method, as shown in C of drawing 7. And by the basis of the existence of the resist film which did not illustrate to the contact electrodes of Al wiring 31 of the 1st layer, and the Al wiring of the two-layer eye formed in behind, but also patternized \*\* to it, and the RIE method, opening 34' is provided in the silicon oxide film 34, and a resist film is exfoliated.

[0033]Next, the Al film for forming Al wiring 35 of a two-layer eye on the silicon oxide film 34 which is an interlayer insulation film is formed in thickness of 2.5 micrometers by a sputtering technique etc. And Al wiring 35 of the two-layer eye which processes an Al film and contains the thick film inductor 51 and contact electrode 35' by the RIE method is formed via the resist film patternized as shown in A of drawing 8. Subsequently, by forming the passivation film 36 on the whole surface by well-known process technology so that Al wiring 35 of the two-layer eye containing the thick film inductor 51 may be covered, as shown in B of drawing 8, The semiconductor device for high speed communications provided with the thick film inductor 51 above the double polysilicon type bipolar transistor 30 is obtained.

[0034](Example 2) Since formation of Al wiring 31 of the 30 or 1st layer of the bipolar transistor is completely the same as that of Example 1, the semiconductor device 2 of Example 2 uses from drawing 1 explained in Example 1 to drawing 6, omits explanation, and explains it from the same drawing 9 as drawing 7 of Example 1.

[0035]A of drawing 9 is Al wiring 31 of the 1st layer shown in drawing 6. And about 500 nm in thickness is made to

deposit the silicon oxide film 32 from TEOS under a plasma atmosphere with a CVD method the whole surface on Al wiring 31, as shown in B of drawing 9. Then, spin coating of SOG film 33 is carried out to the whole surface, and flattening of the portion which carries out etchback by the RIE method and has a level difference is carried out.

[0036]Then, the silicon oxide film 34 is made to deposit on the whole surface from TEOS as an interlayer insulation film under a plasma atmosphere with a CVD method, as shown in A of drawing 10. And in the contact electrodes of Al wiring 31 of the 1st layer, and Al wiring 35 of the two-layer eye formed in behind, by the basis of the existence of a resist film which was not illustrated but in which \*\* also carried out pattern NINGU, and the RIE method, opening 34' is provided in the silicon oxide film 34, and a resist film is exfoliated. Next, as shown in B of drawing 10, the Al film for forming Al wiring 35 of a two-layer eye is formed by a sputtering technique etc. And Al wiring 35 of a two-layer eye and contact electrode 35' are formed by the basis of the resist film which did not illustrate but also patternized \*\*, and the RIE method.

[0037]Then, it deposits under a plasma atmosphere on the whole surface, and about 550 nm in thickness is made to deposit the silicon oxide film 41 on the whole surface from TEOS as an interlayer insulation film with a CVD method, as shown in A of drawing 11. Then, after carrying out spin coating of SOG film 42 to about 450 nm in thickness, flattening of about 550-nm portion which carries out etchback and has a level difference is carried out by the RIE method. On the whole surface, then, after [ for example, ] making about 500 nm in thickness deposit the silicon oxide film 43 on the whole surface from TEOS as an interlayer insulation film under a plasma atmosphere with a CVD method, Spin coating of SOG film 44 is carried out to about 450 nm in thickness, and flattening of the portion which gives about 550-nm etchback by the RIE method, and has a level difference is carried out. And about 600 nm in thickness is made to deposit the silicon oxide film 45 from TEOS under a plasma atmosphere with a CVD method on the whole surface. Next, the basis of the existence of a resist film which was not illustrated to the contact electrodes of Al wiring 35 of a two-layer eye, and the Al wiring of the 3rd layer formed in behind but in which \*\* also carried out pattern NINGU as shown in B of drawing 11, By the RIE method, opening 45' which penetrates the silicon oxide films 45, 43, and 41 is provided, and a resist film is exfoliated.

[0038]Then, after making about 2.5 micrometers in thickness deposit an Al film on the whole surface by a sputtering technique on the silicon oxide film 45 as shown in A of drawing 12, the 3rd layer that contains contact electrode 46' with the thick film inductor 52 by the RIE method under existence of the resist film which did not illustrate but also patternized \*\* -- it forms wiring 46. Subsequently, as shown in B of drawing 12, the passivation film 47 is formed in the whole surface containing the thick film inductor 52 and contact electrode 46' which are also Al wiring 46 of the 3rd layer by well-known process technology, When it does not illustrate but \*\* also performs the opening of a pad, etc., the semiconductor device for high speed communications provided with the thick film inductor 52 above the double polysilicon type bipolar transistor 30 is obtained.

[0039]As mentioned above, although the example explained this invention, of course, this invention is not restricted to these but various modification is possible for it based on the technical idea of this invention.

[0040]For example, in this example, although the double polysilicon type bipolar transistor was illustrated as a bipolar transistor which combines a thick film inductor, this invention is applied also to the semiconductor device which combined the single polysilicon type bipolar transistor in addition to this.

[0041]In this example, although the silicon oxide film from TEOS was used as the interlayer insulation film, A PSG (phospho silicate glass) film or a BPSG (borophosphosilicate grass) film is formed as an interlayer insulation film, etchback of the SOG film is formed and carried out about what carried out a reflow and carried out flattening at the temperature of around 900 \*\*, and it may be made to carry out flattening further.

[0042]In this example, although a thick film inductor and wiring formed aluminum as a material, It may be materials other than aluminum, and as long as it has conductivity, formation of a thick film is easy and processing by the RIE method is possible, the material can also use Cu (copper) and Ta (tantalum) in addition to aluminum, W, and Mo which it was not limited, for example, were mentioned above. Although flattening after formation of a SOG film was given with the etchback by the RIE method in this example, flattening may be carried out by chemical mechanical gridding.

[0043]

[Effect of the Invention]A semiconductor device of this invention and a manufacturing method for the same are enforced with a gestalt which was explained above, and do so an effect which is described below.

[0044] Since the thick film inductor of spiral shape is formed on the interlayer insulation film on a bipolar transistor by which flattening was carried out according to the semiconductor device of claim 1, From it being what has the quality factor Q that processing of a thick film inductor is easy, and high, and is rich in reliability. It is applied as the terminal for high speed communications which is rich in portability, for example, the possible cellular phone of high speed communication, the mounted terminal for automatic-toll-collection system ETC of a highway, and a mounted terminal in the car navigation system which provides the same minute information.

[0045] Since according to the semiconductor device of claim 2 the thick film inductor processed the metal thick film and was formed in one with wiring, the inductor was formed simply, and the semiconductor device was reliable and had been low-costized. Since aluminum, W, or Mo which formation of a thick film is easy as a material of the metal thick film processed into a thick film inductor, and can be easily processed by the RIE method is used according to the semiconductor device of claim 3, It becomes the semiconductor device which did not generate machining failure when processing the spiral shape of a thick film inductor, but was provided with the reliable inductor.

[0046] Since spiral shape of the thick film inductor is made into the repeating unit in the octagon which cut off the square four-corners part according to the semiconductor device of claim 4, Processing from a metal thick film is easy, and also it becomes the semiconductor device which made the usable area of the thick film inductor large, and was provided with the high inductor of the quality factor Q by making resistance small. Since the thick film inductor on chip, the double polysilicon type bipolar transistor, or the single polysilicon type bipolar transistor is put together according to the semiconductor device of claim 5, much more high speed communication is made more possible by low cost than by the conventional semiconductor device for communication.

[0047] Since the metal thick film which carried out flattening of the interlayer insulation film formed on a bipolar transistor, and formed membranes to the interlayer insulation film is processed into the thick film inductor of spiral shape according to the manufacturing method of the semiconductor device of claim 6, The semiconductor device for communication with process tolerance processing is performed smoothly and high, and the high quality factor Q and reliability is given. Since the formation of a spin one glass film which carries out spin coating, and the etchback of the continuing spin one glass film perform flattening of an interlayer insulation film according to the manufacturing method of the semiconductor device of claim 7, Flattening of the metal thick film formed on it is carried out, and it gives the semiconductor device provided with the thick film inductor with high process tolerance by processing the metal thick film.

[0048] Since according to the manufacturing method of the semiconductor device of claim 8 the combination of formation of an interlayer insulation film, the spin coating of a spin one glass film, and the etchback of a spin one glass film is repeated for flattening of an interlayer insulation film twice or more and flattening of an interlayer insulation film is performed, flattening of the interlayer insulation film is carried out further, and also. It makes it possible to form a thick film inductor in the 3rd layer of a semiconductor device, and wiring of the 4th layer. Since a metal thick film is processed by a reactive-ion-etching method according to the manufacturing method of the semiconductor device of claim 9, it makes it possible to perform detailed processing of a thick film inductor precisely at high speed.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] Drawing 1 to drawing 6 is a figure showing the manufacturing method of the double polysilicon type bipolar transistor in the semiconductor device of Example 1, The state A and B which A of drawing 1 formed the embedded layer and the epitaxial layer in the semiconductor substrate, and formed the oxidizing film and LP gas silicon nitride film in up to it leave a resist film to an element formation region, and show the state where it is preparing for creating an isolation region on the both sides.

[Drawing 2] It is a figure following drawing 1, after A's forming the oxidizing film for isolation, in order that the drawer part of an embedded layer may be formed, after the state A and B which are carrying out the ion implantation of the impurity form a cap film, they are heat-treated, diffuse an impurity, a plug is formed in an embedded layer, and the state where flattening of the surface was subsequently carried out is shown.

[Drawing 3]Following drawing 2, in order that A of drawing 3 may form an isolation region, the state and B which are pouring in B ion via a resist film show the state where the silicon oxide film in the formation area of a npn transistor was removed.

[Drawing 4]The state where A of drawing 4 forms the polysilicon film considered as base extraction resistance following drawing 3, and BF<sup>2+</sup> ion is poured in, After forming a silicon oxide film on a polysilicon film, B shows the state where the silicon oxide film and the polysilicon film were etched, in order to form the genuine base region of a npn transistor.

[Drawing 5]After A of drawing 5 pouring in B ion and forming a genuine base region following drawing 4, A silicon oxide film is formed and heat-treated and the state where diffused B ion from the polysilicon film and graft base layers were made to form, and the state where B carried out dry etching of the silicon oxide film, and the sidewall was formed in the emitter opening are shown.

[Drawing 6]After forming a polysilicon film in an emitter formation area and carrying out the ion implantation of the As, the state where heat-treat, diffused As, and made the emitter form, and also the base electrode, the collector electrode, and the emitter electrode were provided is shown.

[Drawing 7]Drawing 7 and drawing 8 are the figures showing the manufacturing method of the thick film inductor in the semiconductor device of Example 1, and A of drawing 7 shows the wiring of the first layer containing the electrode of drawing 6. The state and C to which it carried out spin coating of the SOG film, and carried out etchback of the SOG film after B formed the silicon oxide film, and flattening of the surface was carried out show the state where the opening for contact electrodes which connects wiring of the 1st layer and wiring of a two-layer eye was provided, after forming an interlayer insulation film.

[Drawing 8]A of drawing 8 processes aluminum thick film made to form on an interlayer insulation film following drawing 7, and the state where a thick film inductor and wiring of the two-layer eye containing a contact electrode were made to form, and the state where B formed the passivation film in the whole surface are shown.

[Drawing 9]Drawing 9 to drawing 12 is a figure showing the manufacturing method of the thick film inductor in the semiconductor device of Example 2, and A of drawing 9 shows wiring of drawing 6 of the 1st layer. After B forms a silicon oxide film, it carries out spin coating of the SOG film, and shows the state where carried out etchback of the SOG film, and flattening of the surface was carried out.

[Drawing 10]After A of drawing 10 forms an interlayer insulation film further following drawing 9, the state which provided the opening for contact electrodes which connects wiring of the 1st layer and wiring of a two-layer eye, and the state where B formed wiring of the two-layer eye are shown.

[Drawing 11]After A of drawing 11 forms a silicon oxide film following drawing 10, spin coating of the SOG film is carried out, the operation which carries out etchback of the SOG film is repeated twice, and the state in which the interlayer insulation film of silicon oxide was formed on it, and the state where B provided the opening for the contact electrodes of wiring of a two-layer eye and wiring of the 3rd layer are shown.

[Drawing 12]After A of drawing 12 forms aluminum thick film following drawing 11, the state in which the wiring of the 3rd layer which processes this and contains a thick film inductor and a contact electrode was formed, and the state where B formed the passivation film in the whole surface are shown.

[Drawing 13]It is a top view of the inductor of superficial spiral shape.

[Drawing 14]It is a sectional view of the [14]-[14] line direction in drawing 13.

[Drawing 15]It is a top view of the hybrid integrated circuit of a conventional example.

[Drawing 16]It is a perspective view of the inductor in the semiconductor device of other conventional examples.

[Drawing 17]It is a figure showing the inductor in the semiconductor device of another conventional example, and is a sectional view of a [B]-[B] line direction [ in / A can be set in a top view and / in B / A ].

#### [Description of Notations]

1 [ .... The oxidizing film for isolation, ] .... A semiconductor substrate, 2 .... An embedded layer, 3 .... An epitaxial layer, 7 9 .... An impurity diffusion plug, 12 .... The impurity diffusion region for isolation, 15, 25 .... Polysilicon film, 27 [ .... Double polysilicon type bipolar transistor, ] .... A base, 28 .... A collector, 29 .... An emitter, 30 32, 34, 41, 43, 45 [ .... A passivation film 51, 52 / .... Thick film inductor, ] .... A silicon oxide film, 33, 42, 44 .... A SOG film, the Al wiring of the 31....1st layer, 35 .... The Al wiring of a two-layer eye, the Al wiring of the 46....3rd layer, 36, 47

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-368118

(P2002-368118A)

(43)公開日 平成14年12月20日(2002.12.20)

(51)Int.Cl.<sup>7</sup>  
H 01 L 21/8222  
21/3205  
21/331  
21/822  
27/04

識別記号

F I  
H 01 L 27/06  
27/04  
29/72  
21/88

テーマコード<sup>\*</sup>(参考)  
1 0 1 D 5 F 0 0 3  
L 5 F 0 3 3  
S 5 F 0 3 8  
M 5 F 0 8 2  
S

審査請求 未請求 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願2001-168492(P2001-168492)

(22)出願日 平成13年6月4日(2001.6.4)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 米田 修二

福岡県福岡市早良区百道浜2-3-2 ソニーセミコンダクタ九州株式会社内

(74)代理人 100072350

弁理士 飯阪 泰雄

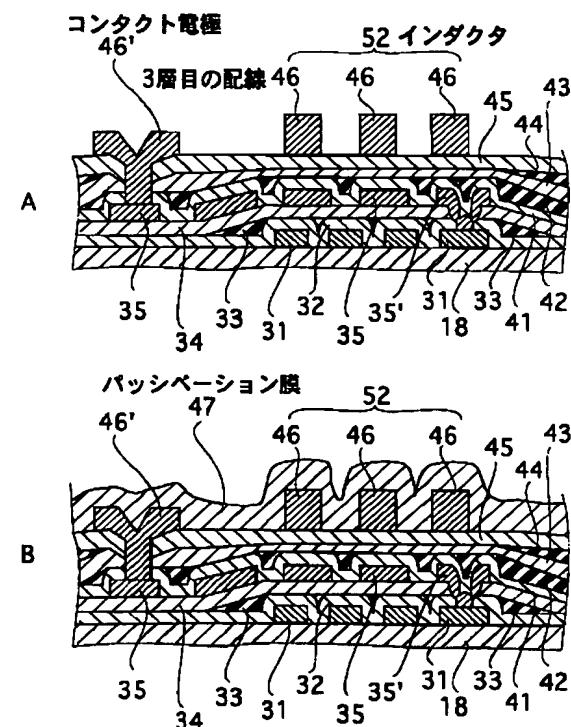
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 バイポーラトランジスタの上方に厚膜インダクタを配置することにより、高いクオリティファクタQを有しながら、製造が簡易で低コストである半導体装置を提供すること。

【解決手段】 バイポーラトランジスタ30上の2層目の配線35に層間絶縁膜41を形成し、その上へ回転塗布してSOG膜42を形成し、これをエッチバックして平坦化させた後、更度、層間絶縁膜43を形成し、その上へ回転塗布してSOG膜44を形成し、これをエッチバックして平坦化させる。次に、その上へ形成した層間絶縁膜45にA1厚膜を形成し、パターン化したレジスト膜を介しRIE法によってドライエッティングして厚膜インダクタ52を含む3層目の配線46を形成して半導体装置とする。



## 【特許請求の範囲】

【請求項1】 バイポーラトランジスタとインダクタとを有する半導体装置において、前記バイポーラトランジスタ上の平坦化された層間絶縁膜の上に、スパイラル形状の厚膜インダクタが形成されていることを特徴とする半導体装置。

【請求項2】 前記厚膜インダクタが前記層間絶縁膜に形成された金属厚膜を加工して配線と一体的に形成されたものであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記金属厚膜の材料がアルミニウム(A1)、タンゲステン(W)、またはモリブデン(Mo)であることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記厚膜インダクタのスパイラル形状が四角形の四隅部を切り落とした八角形を繰り返しの単位として形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記バイポーラトランジスタがダブルポリシリコン型バイポーラトランジスタまたはシングルポリシリコン型バイポーラトランジスタであることを特徴とする請求項1に記載の半導体装置。

【請求項6】 バイポーラトランジスタとインダクタとを有する半導体装置の製造方法において、前記バイポーラトランジスタ上に形成された層間絶縁膜を平坦化する工程と、平坦化された前記層間絶縁膜に金属厚膜を形成する工程と、前記金属厚膜を加工して配線と一体的に厚膜インダクタをスパイラル形状に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 前記層間絶縁膜を平坦化する工程が前記層間絶縁膜に回転塗布してスピノングラス膜を形成し、続いて前記スピノングラス膜をエッチバックする工程であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記層間絶縁膜を平坦化する工程が前記層間絶縁膜の形成と、形成された前記層間絶縁膜上への前記スピノングラス膜の回転塗布と、前記スピノングラス膜のエッチバックとの組み合わせを2回以上繰り返す工程であることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記金属厚膜の加工を反応性イオンエッチング法によって施すことを特徴とする請求項6に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関するものであり、更に詳しくは、高速のバイポーラトランジスタ上にインダクタを備えた半導体装置およびその製造方法に関するものである。

## 【0002】

【従来の技術】 近年の半導体装置、特に携帯電話に代表される無線通信システムの高周波回路で使用される半導体装置は一層の高速化と共に、高集積化が要請されている。従って、トランジスタには高速で動作するバイポーラトランジスタ、中でも一層の高速化のために、ウォッシュトエミッタ構成のシングルポリシリコン型バイポーラトランジスタやダブルポリシリコン型バイポーラトランジスタが採用されるようになっている。

10 【0003】 他方、高周波発振用のインダクタには、高いクオリティファクタQ(後述)が要請されていると共に、インダクタを平面的なスパイラル形状とした時に比較的大きい面積を占めて半導体装置の小型化、高集積化の障害となることから、占有面積を可及的に小さくすることが望まれており、インダクタをバイポーラトランジスタ等の上部に配置したオンチップ・インダクタすることは避けられない情勢となっている。

【0004】 図13は平面的なスパイラル形状のインダクタを示す平面図であり、図14は図13における[14] - [14]線方向の断面図である。図13、図14を参照して、インダクタ110は、半導体基板101に設けられ絶縁膜102の上に下層配線103が形成され、その上に層間絶縁膜104が形成され、更に層間絶縁膜104には下層配線とインダクタ110とのコントакト電極105が形成されている。そして、層間絶縁膜104上には上層配線106と、これに統いて一体的にスパイラル形状のインダクタ110が形成されており、インダクタ110の他端は下層配線103とのコントакト電極105に接続されている。

30 【0005】 周知のように、インダクタはL(インダクタンス)およびQ(クオリティファクタ:発振の鋭さ)によって特性が示され、Qは次式(1)によって示される。

$$Q = \omega L / R \quad \text{式(1)}$$

ここにおいて、 $\omega$ は角周波数、Rはインダクタの配線抵抗である。従って、高いQを得るにはLを大にしRを小にすることを要する。すなわち、Lを大にするにはスパイラル状のインダクタ(図13のインダクタ110)の巻き数を大にし、Rを小さくするにはインダクタ110の表面積と膜厚を大にすることが必要である。

【0006】 しかし、高集積化を図る半導体装置内においてインダクタの巻き数を大にすること及びインダクタの表面積を大にすることはインダクタの占有面積を増大させるので限度があるほか、巻き数を大にすることは一方ではRを大にすることに繋がる。従って、インダクタを厚膜とする方法が残るが、厚膜インダクタは、金属厚膜をドライエッチングしてスパイラル形状に加工する時に形状不良を招き易いほか、加工残渣を残し易く、そのようなインダクタを組み込んでも信頼性に乏しい半導体装置しか得られないという問題がある。

【0007】このような状況の中において、特開平6-334137号公報には、図15の平面図に示すように、絶縁体の受動回路基板104に形成されたインダクタ115、116、117に対して、半絶縁性のGaN基板に形成されたFET素子チップ103をフリップチップボンディング法によって搭載したハイブリッソド集積回路が開示されている。この集積回路はインダクタ115、116、117とFET素子チップ103とは異なる領域にあるので、全体としては広い面積を要するものとなっているほか、インダクタとFETとを個別に製造してアセンブルするのでコストが大である。

【0008】他方、特開平3-263366号公報には、図16に示すようなインダクタが開示されている。すなわち、図16において、半導体基板に形成された回路素子領域240上の絶縁膜259に、複数のリング状金属配線層251、252、253がそれぞれの間の層間絶縁膜256、257を介して積み重ねられており、層間絶縁膜256、257に設けたスルーホール254、255によってリング状金属配線層251、252、253を接続したインダクタ250が設けられている。

【0009】また、特許公報2904086号公報には、通常的なインダクタと同様な第1の導電パターン301と、これとは上下の位置関係で重畠的に形成され電気的に接続された第2の導電パターン302とからなるインダクタが開示されている。図17のAはそのインダクタの平面図であり、図17のBは図17のAにおける[B]-[B]線方向の断面図である。図17のAにおいて実線で示すように、スパイラル形状の第1の導電パターン301が絶縁膜300上に形成されており、その下方の絶縁膜300内には、図17のAにおいては重なりを避けてやや大きめの破線で示す第2の導電パターン302が形成されており、第1の導電パターン301と第2の導電パターン302とは垂直で細長い平面形状のコンタクト303によって電気的に接続されている。そして、例示されている第1の導電パターン301と第2の導電パターン302は何れも厚さ0.5~1.0μmとされている。

#### 【0010】

【発明が解決しようとする課題】上記、特開平3-263366号公報による半導体装置は、インダクタ250が回路素子領域240上に配置されているので全体の所要面積は小さいが、インダクタ250はリング状金属配線層251、252、253と層間絶縁膜256、257を交互に積み重ねているので、製造プロセスが複雑であるほか、インダクタ250の配線抵抗が大となる。また、特許公報2904086号公報による半導体装置もインダクタの形成において、第1の導電パターン301の形成と第2の導電パターン302の形成のように、微細な加工の繰り返しを要するという難点がある。すなわち、これらの半導体層装置においては、インダクタのQを高くするために、インダクタの厚さを大にするのではなくインダクタを2層構造や3層構造としており、そのために複雑な加工を要している。

10

【0011】しかし、上述したように、インダクタの形成プロセスを簡易化するべく厚膜インダクタの形成を試みても、例えばアルミニウム厚膜をスパイラル形状に加工することを試みても、スパイラルの形状不良、加工残渣の発生、加工の長時間化、その他、プロセス上でネックとなる様々な問題が生じ、特にインダクタ内に残る加工残渣はインダクタの特性や信頼性に多大な影響を及ぼすのである。

【0012】本発明は上述の問題に鑑みてなされ、バイポーラトランジスタの上方に厚膜インダクタを配置することにより、小型化されておりながら製造が簡易で低コストである高速通信用の半導体装置およびその製造方法を提供することを課題とする。

#### 【0013】

【課題を解決するための手段】上記の課題は請求項1または請求項6の構成によって解決されるが、その解決手段を説明すれば次の如くである。

【0014】請求項1の半導体装置は、バイポーラトランジスタとインダクタとを有する半導体装置において、バイポーラトランジスタ上の平坦化された層間絶縁膜の上に、スパイラル形状の厚膜インダクタが形成されている半導体装置である。このような半導体装置は、厚膜インダクタがバイポーラトランジスタの上方に形成されていることにより、小型化され高度に集積された半導体装置を提供する。

30 【0015】請求項1に従属する請求項2の半導体装置は、厚膜インダクタが層間絶縁膜に形成された金属厚膜を加工して配線と一体的に形成されたものである。このような半導体装置は、インダクタとバイポーラトランジスタとが独立して製造されるのではなく、金属厚膜を加工してバイポーラトランジスタの配線とインダクタとが一体的に形成されているので低コストである。請求項2に従属する請求項3の半導体装置は、金属厚膜の材料がアルミニウム(A1)、タンゲステン(W)、またはモリブデン(Mo)である半導体装置である。このような半導体装置は、金属厚膜の形成、および金属厚膜を加工しての厚膜インダクタの形成が容易であり、低コストのインダクタを与える。

40 【0016】請求項1に従属する請求項4の半導体装置は、スパイラル形状の厚膜インダクタが四角形の四隅部を切り落とした八角形を繰り返しの単位として形成されている半導体装置である。このような半導体装置は、金属厚膜からの加工が容易であり低コストとなるほか、厚膜インダクタの表面積を大としインダクタの抵抗を小としてQを高めることを可能にする。請求項1に従属する請求項5の半導体装置は、バイポーラトランジスタがダ

50

ブルポリシリコン型バイポーラトランジスタまたはシングルポリシリコン型バイポーラトランジスタである半導体装置である。このような半導体装置は従来の高速通信用の半導体装置よりも一層の高速通信が可能で低コストの半導体装置を与える。

【0017】請求項6の半導体装置の製造方法は、バイポーラトランジスタとインダクタとを有する半導体装置の製造方法において、バイポーラトランジスタ上に形成された層間絶縁膜を平坦化する工程と、平坦化された層間絶縁膜に金属厚膜を形成する工程と、金属厚膜を加工して配線と一体的に厚膜インダクタをスパイラル形状に形成する工程とを有する製造方法である。このような半導体装置の製造方法は、平坦化させた層間絶縁膜に形成した金属厚膜をスパイラル形状の厚膜インダクタに加工するので加工が円滑に行われインダクタの形状不良や加工残渣を発生しない。

【0018】請求項6に從属する請求項7の半導体装置の製造方法は、層間絶縁膜を平坦化する工程が層間絶縁膜に回転塗布してスピンドルガラス膜を形成し、続いてスピンドルガラス膜をエッチバックする工程である製造方法である。このような半導体装置の製造方法は、層間絶縁膜上の凹部を埋め、凸部を削って層間絶縁膜を簡易に平坦化させる。請求項7に從属する請求項8の半導体装置の製造方法は、層間絶縁膜を平坦化する工程が、層間絶縁膜の形成と、形成された層間絶縁膜上へのスピンドルガラス膜の回転塗布と、スピンドルガラス膜のエッチバックとの組み合わせを2回以上繰り返す工程である製造方法である。このような半導体装置の製造方法は、層間絶縁膜の一層の平坦化を可能にするほか、配線と厚膜インダクタを3層目または4層目に形成することを可能にする。請求項6に從属する請求項9の半導体装置の製造方法は、金属厚膜の加工を反応性イオンエッティング法によって施す製造方法である。このような半導体装置の製造方法は、厚膜インダクタの微細な加工を精密かつ高速に行うことを可能にする。

#### 【0019】

【発明の実施の形態】本発明の半導体装置およびその製造方法は、上述したように、バイポーラトランジスタとスパイラル形状のインダクタとを有する半導体装置において、バイポーラトランジスタ上の平坦化された層間絶縁膜に、スパイラル形状の厚膜インダクタが形成されている半導体装置である。

【0020】厚膜インダクタの形成は層間絶縁膜の表面を平坦化した後に行うが、下方のバイポーラトランジスタの電極およびその引き出し配線を1層目とし、その上の層間絶縁膜を介して設ける2層目の配線に厚膜インダクタを形成する場合には、その層間絶縁膜の平坦化は層間絶縁膜に回転塗布して平坦性に優れたSOG(スピンドルガラス)膜を形成し、更にSOG膜の表面側からエッチバックすることによって行う。そして、層間絶縁膜

の表面の凹凸や段差が大であり、SOG膜の形成とエッチバックの1回の組み合わせで十分な平坦さが得られない場合には、更にその上へ層間絶縁膜を形成して、SOG膜の回転塗布とエッチバックとを繰り返す。厚膜インダクタを3層目ないしは4層目の配線と一体的に設ける場合には、一般的には表面段差が大になるので、層間絶縁膜の形成、SOG膜の回転塗布、およびSOG膜のエッチバックの組み合わせを少なくとも2回繰り返すことが必要である。なお、これらの操作はプロセス的には簡易であり、半導体装置の製造コストを大きく増大させる要因とはならない。

【0021】また本発明による厚膜インダクタは、インダクタとして別に作成して配線と接続するものではなく、層間絶縁膜上に形成される金属厚膜をパターン状に加工して配線と一体的に形成される。従って、インダクタを別途に作成する場合と比較して製造コストを大幅に低減することができ、高集積化された低コストの半導体装置となる。配線と厚膜インダクタの材料には、金属厚膜の形成および金属厚膜の加工が容易であり、かつ廉価であるという観点からAl(アルミニウム)が選択されるが、W(タンゲステン)やMo(モリブデン)もほぼ同等に使用することができる。

【0022】形成させる厚膜インダクタは $2\sim3\mu m$ ないしはそれ以上の厚さとすると共にインダクタの占有面積当りの実質面積を可及的に大にして、式(1)における抵抗Rを小にすることにより高いクオリティファクタQを得ることができる。またインダクタのスパイラル形状は繰り返しの単位スパイラルが円形状のもの、三角形状のもの等、如何なる形状であってもよいが、四角形の四隅部を切り落とした八角形とすることによって加工が容易となり、加工コストを低減させる。そして金属厚膜の加工には高速エッティング、高選択性、低損傷性であり高精度な加工が可能なRIE(反応性イオンエッティング)法によって行う。RIE法にはECR(エレクトロニクス・サイクロトロン・共鳴)形、マグネットロン形、トライオード形、ナローギャップ形などがあるが、中でもECR形は微細加工性と低損傷性に優れているので好ましい。

【0023】厚膜インダクタは、高速で動作し集積が比較的容易なバイポーラトランジスタと組み合わせて通信用の半導体層装置とされるが、バイポーラトランジスタの中でも更に高速化を図ってエミッタをポリシリコンとし、不純物Asなどを注入しベースへ拡散させてウォッシュトエミッタ構成としたシングルポリシリコン型バイポーラトランジスタ、更に性能の安定化のためにエミッタとベースとをポリシリコンとしてウォッシュトエミッタ構成としたダブルポリシリコン型バイポーラトランジスタが厚膜インダクタと好適に組み合わされる。

#### 【0024】

【実施例】次に、本発明の半導体装置およびその製造方

法を実施例により図面を参照して具体的に説明する。

【0025】(実施例1)以下、基板上にダブルシリコン型バイポーラトランジスタを形成し、そのバイポーラトランジスタ上の層間絶縁膜に厚膜インダクタを形成してなるオンチップ・インダクタを備えた半導体装置を例として、その製造方法を図1からは図8までによって説明する。

【0026】図1のAに示すように、p型のシリコン半導体基板1に周知の技術で選択的にn型の埋め込み層2を形成した後、埋め込み層2を含む全面に抵抗率が約 $1\Omega\text{ cm}$ 程度のn型のエピタキシャル層3を厚さ約 $1\mu\text{m}$ 程度に形成し、続いてエピタキシャル層3の上に熱酸化法によって厚さ約 $30\text{ nm}$ 程度の酸化ケイ素(SiO<sub>2</sub>)膜4と、減圧下に低圧-窒化ケイ素(LP-Si<sub>3</sub>N<sub>4</sub>)膜5を堆積させる。続いて、図1のBに示すように、全面にレジスト膜6を形成した後、LOCOS(局部的シリコン酸化)法による素子分離領域を形成し得るように、すなわち、図において中央部の素子形成領域上にレジスト膜6が残るようレジスト膜6をパターンニングする。そして、レジスト膜6をマスクとして低圧-窒化ケイ素膜5を周知のドライエッティング技術で除去し、酸化ケイ素膜4も除去する。従って、素子形成領域となる部分に低圧-窒化ケイ素膜5が残ることになる。

【0027】次に、上記のレジスト膜6を硫酸と過酸化水素水との混合液(硫酸化液)で剥離した後、低圧-窒化ケイ素膜5が残っている部分を除いて、熱酸化膜7を約 $800\text{ nm}$ 程度の厚さに形成する。続いて低圧-窒化ケイ素膜5を熱リン酸等の薬液でエッティングする。その後、図2のAに示すように、後に埋め込み層2の引き出し部となる部分(プラグを形成する部分)を開口したパターン化レジスト膜8を介して、n型のP(リン)イオンを埋め込み層2と接触するようなエネルギーとドーズ量(約 $50\text{ keV}$ 、約 $4.5\text{ E}15\text{ cm}^{-2}$ )で注入する。続いて、レジスト膜8を剥離してから、図示せども、その上部にTEOS(テトラエトキシオルソシリケート)を原料ガスとするCVD法によって酸化ケイ素膜を約 $300\text{ nm}$ 程度の厚さに堆積させる。そして、全面にレジスト膜を形成した後、全面をRIE法によって約 $130\text{ nm}$ 程度エッチバックして、図2のBに示すように、ウェーハ表面を平坦化させる。

【0028】次に、図3のAに示すように、熱酸化によって全面に厚さ約 $30\text{ nm}$ 程度に酸化ケイ素膜10を形成し、素子分離領域12となる部分を開口したパターン化レジスト膜11を設けて、p型のB(ボロン)イオンを注入する。すなわち、p型のシリコン半導体基板1と繋がるようなエネルギーとドーズ量(約 $50\text{ keV}$ 、約 $4.5\text{ E}13\text{ cm}^{-2}$ )でイオン注入する。そしてレジスト膜11を剥離する。続いて、図3のBに示すように、CVD法によって酸化ケイ素膜10の表面にTEOSから酸化ケイ素膜13を約 $100\text{ nm}$ 程度に堆積させる。

なお、図3のBにおいては、酸化ケイ素膜13と酸化ケイ素膜10とを一体として示している。そして、全面にレジスト膜14を形成した後、n-p-nトランジスタを形成する領域(アクティブ領域)を開口したパターン化レジスト膜14として、アクティブ領域の酸化ケイ素膜13をドライエッティングして除去した後、レジスト膜14を剥離する。

【0029】次に、図4のAに示すように、全面に例えばCVD法によってポリシリコン膜15を厚さ約 $150\text{ nm}$ 程度に堆積させる。更に、ベース取り出し抵抗を形成するように、ポリシリコン膜15にBF<sup>2+</sup>イオンをエネルギー約 $40\text{ keV}$ 、ドーズ量 $5.5\text{ E}14\text{ cm}^{-2}$ で注入する。そして、ポリシリコン膜15のベース取り出し抵抗となる部分が残るようにパターンニングしたレジスト膜17を設けて、ポリシリコン膜15をドライエッティングして除去した後、レジスト膜17を剥離する。続いて、CVD法により全面に酸化ケイ素膜18を厚さ約 $350\text{ nm}$ 程度に堆積させた後に、熱処理(約 $600^{\circ}\text{C}$ 、180分間)を施して酸化ケイ素膜18を緻密化させ膜質を向上させる。そして、図4のBに示すように、後述の真性ベース領域21に相当する部分を開口したパターン化レジスト膜19を形成して、酸化ケイ素膜18、ポリシリコン膜15をドライエッティングして除去し、その後、レジスト膜19を剥離する。

【0030】次に、図示を省略するが全面に熱酸化法によって酸化ケイ素膜を厚さ約 $10\text{ nm}$ 程度に堆積させた後、図5のAに示すように、真性ベース領域21を形成するようにB<sup>+</sup>イオンをエネルギー約 $30\text{ keV}$ 、ドーズ量 $1.0\text{ E}12\text{ cm}^{-2}$ で注入する。そして、CVD法によってTEOSを原料ガスとする酸化ケイ素膜22を厚さ約 $550\text{ nm}$ 程度に堆積させ、先にBF<sup>2+</sup>イオンを注入したポリシリコン膜15から単結晶のn型のエピタキシャル層3へBが拡散してグラフトベース領域23が形成されるように約 $900^{\circ}\text{C}$ 、15分間の熱処理を施す。これによって、トランジスタのベース領域(真性・グラフトベース)21、23が完全に形成される。続いて、図5のBに示すように、図5のAの酸化ケイ素膜22のベース領域20に対応する部分が残るようにし、それ以外の部分をRIE法で除去することにより、真性ベース領域21の真上のエミッタ開口部にサイドウォール24が形成される。

【0031】次に、例えばCVD法によって全面にポリシリコン膜25を厚さ約 $150\text{ nm}$ 程度に堆積させる。その後、図6に示すように、ウォッシュトエミッタ構成とするために、ポリシリコン膜25にAs<sup>+</sup>イオンをエネルギー約 $60\text{ keV}$ 、ドーズ量 $2.0\text{ E}16\text{ cm}^{-2}$ で注入し、注入されたAs<sup>+</sup>を真性ベース領域21へ拡散させるための熱処理(約 $850^{\circ}\text{C}$ 、30分間)を施して、セルフアラインでエミッタ26を形成する。そして、エミッタ取り出し部分以外のポリシリコン膜25を

フォトリソグラフィ、ドライエッティングなどの周知の技術によって除去してから、ベース取り出し電極27、コレクタ取り出し電極28、エミッタ取り出し電極29を形成する。このようにして、ウォッシュトエミッタ構成のダブルポリシリコン型バイポーラトランジスタ30が形成される。この後、各電極27、28、29を含みTi系のバリアメタルを備えた1層目のA1配線を形成して約400°C、20分間のアニールを行う。

【0032】図7より以降では、図6に示したバイポーラトランジスタ30を切り離し、上部に設けた各電極27、28、29を含む1層目のA1配線31の回りに施される処理およびインダクタの形成について説明する。すなわち図7のAは図6に示した酸化ケイ素膜18上の1層目のA1配線31を示す。そして、図7のBに示すように、A1配線31上の全面に層間絶縁膜としてCVD法によってプラズマ雰囲気下にTEOSから酸化ケイ素膜32を厚さ約500nm程度に堆積させる。その後、全面にSOG膜33を回転塗布し、RIE法によってエッチバックして段差がある部分を平坦化する。続いて図7のCに示すように、CVD法によってプラズマ雰囲気下、全面にTEOSから酸化ケイ素膜34を堆積させる。そして、1層目のA1配線31と後に形成する2層目のA1配線とのコンタクト電極用に、図示せずともパターン化したレジスト膜の存在のもと、RIE法によって酸化ケイ素膜34に開口34'を設けてレジスト膜を剥離する。

【0033】次に、層間絶縁膜である酸化ケイ素膜34上に2層目のA1配線35を形成するためのA1膜をスパッタ法などによって厚さ2.5μmに成膜する。そして、図8のAに示すようにパターン化したレジスト膜を介しRIE法によってA1膜を加工して厚膜インダクタ51とコンタクト電極35'を含む2層目のA1配線35を形成する。次いで、図8のBに示すように、厚膜インダクタ51を含む2層目のA1配線35をカバーするように周知のプロセス技術によって全面にパッシベーション膜36を成膜することにより、ダブルポリシリコン型バイポーラトランジスタ30の上方に厚膜インダクタ51を備えた高速通信用の半導体装置が得られる。

【0034】(実施例2) 実施例2の半導体装置2は、バイポーラトランジスタ30、1層目のA1配線31の形成までは実施例1と全く同様であるので、実施例1で説明した図1から図6までを援用して説明を省略し、実施例1の図7と同様な図9から説明する。

【0035】図9のAは図6に示した1層目のA1配線31である。そして、図9のBに示すように、A1配線31上の全面に例えばCVD法によってプラズマ雰囲気下にTEOSから酸化ケイ素膜32を厚さ約500nm程度に堆積させる。その後、全面にSOG膜33を回転塗布し、RIE法によってエッチバックして段差がある部分を平坦化させる。

10

【0036】続いて図10のAに示すように、例えばCVD法によってプラズマ雰囲気下、全面に層間絶縁膜としてTEOSから酸化ケイ素膜34を堆積させる。そして、1層目のA1配線31と後に形成する2層目のA1配線35とのコンタクト電極用に、図示せずともパターン化したレジスト膜の存在のもと、RIE法によって酸化ケイ素膜34に開口34'を設けてレジスト膜を剥離する。次に、図10のBに示すように、2層目のA1配線35を形成するためのA1膜をスパッタ法などによって成膜する。そして、図示せずともパターン化したレジスト膜の存在のもと、RIE法によって2層目のA1配線35とコンタクト電極35'を形成する。

20

【0037】続いて図11のAに示すように、全面に例えばCVD法によってプラズマ雰囲気下、全面に層間絶縁膜としてTEOSから酸化ケイ素膜41を厚さ約550nm程度に堆積させる。続いてSOG膜42を厚さ約450nm程度に回転塗布してから、RIE法によって約550nmのエッチバックして段差のある部分を平坦化させる。更に続いて、全面に例えばCVD法によってプラズマ雰囲気下、全面に層間絶縁膜としてTEOSから酸化ケイ素膜43を厚さ約500nm程度に堆積させた後、SOG膜44を厚さ約450nm程度に回転塗布し、RIE法によって約550nmのエッチバックを施して段差のある部分を平坦化させる。そして、全面に例えばCVD法によってプラズマ雰囲気下にTEOSから酸化ケイ素膜45を厚さ約600nm程度に堆積せらる。次に、図11のBに示すように、2層目のA1配線35と、後に形成する3層目のA1配線とのコンタクト電極用に、図示せずともパターン化したレジスト膜の存在のもと、RIE法によって酸化ケイ素膜45、43、41を貫通する開口45'を設けてレジスト膜を剥離する。

30

【0038】続いて、図12のAに示すように、酸化ケイ素膜45の上に全面にスパッタ法によってA1膜を厚さ約2.5μmに堆積させた後に、図示せずともパターン化したレジスト膜の存在下、RIE法によって厚膜インダクタ52と、コンタクト電極46'を含む3層目の配線46形成する。次いで、図12のBに示すように、3層目のA1配線46でもある厚膜インダクタ52およびコンタクト電極46'を含む全面に周知のプロセス技術によってパッシベーション膜47を形成し、図示せずともパッドの開口などを行うことにより、ダブルポリシリコン型バイポーラトランジスタ30の上方に厚膜インダクタ52を備えた高速通信用の半導体装置が得られる。

40

【0039】以上、本発明を実施例によって説明したが、勿論、本発明はこれらに限られず、本発明の技術的思想に基づいて種々の変形が可能である。

【0040】例えば本実施例においては、厚膜インダクタを組み合わせるバイポーラトランジスタとして、ダブ

50

ルポリシリコン型バイポーラトランジスタを例示したが、これ以外にシングルポリシリコン型バイポーラトランジスタを組み合わせた半導体装置に対しても本発明は適用される。

【0041】また本実施例においては、T E O Sからの酸化ケイ素膜を層間絶縁膜としたが、層間絶縁膜としてP S G（ホスホシリケートガラス）膜またはB P S G（ボロホスホシリケートガラス）膜を形成し、900°C前後の温度でリフローさせ平坦化させたものについて、S O G膜を形成しエッチバックして更に平坦化させるようにしてよい。

【0042】また本実施例においては、厚膜インダクタおよび配線はA 1を材料として形成したが、A 1以外の材料であってもよく、導電性を有して厚膜の形成が容易であり、R I E法による加工が可能である限りにおいて材料は限定されず、例えば上述したA 1、W、M o以外にC u（銅）やT a（タンタル）も使用し得る。また本実施例においてはS O G膜の形成後の平坦化をR I E法によるエッチバックによって施したが、化学的機械的研磨法によって平坦化させてもよい。

#### 【0043】

【発明の効果】本発明の半導体装置およびその製造方法は以上に説明したような形態で実施され、次に述べるような効果を奏する。

【0044】請求項1の半導体装置によれば、バイポーラトランジスタ上の平坦化された層間絶縁膜の上にスパイラル形状の厚膜インダクタが形成されているので、厚膜インダクタの加工が容易で高いクオリティファクタQを有し、かつ信頼性に富むものとなっていることから、可搬性に富む高速通信用の端末、例えば高速通信可能な携帯電話、高速道路の料金自動徴収システムE T C用の車載端末、同じく精細な情報を提供するカーナビゲーションシステムにおける車載端末として応用される。

【0045】請求項2の半導体装置によれば、厚膜インダクタが金属厚膜を加工して配線と一体的に形成されているので、インダクタが簡易に形成され、半導体装置は信頼性が高く、かつ低コスト化されたものとなっている。請求項3の半導体装置によれば、厚膜インダクタに加工する金属厚膜の材料として厚膜の形成が容易であり、かつR I E法によって容易に加工し得るA 1、W、またはM oが使用されているので、厚膜インダクタのスパイラル形状の加工に際し加工不良を発生せず信頼性の高いインダクタを備えた半導体装置となる。

【0046】請求項4の半導体装置によれば、厚膜インダクタのスパイラル形状が四角形の四隅部を切り落とした八角形を繰り返し単位とされているので、金属厚膜からの加工が容易であるほか、厚膜インダクタの有効面積を大とし抵抗を小としてクオリティファクタQの高いインダクタを備えた半導体装置となる。請求項5の半導体装置によれば、オンチップの厚膜インダクタとダブルポ

リシリコン型バイポーラトランジスタまたはシングルポリシリコン型バイポーラトランジスタとが組み合わされているので、従来の通信用半導体装置よりも低コストで一層の高速通信を可能にする。

【0047】請求項6の半導体装置の製造方法によれば、バイポーラトランジスタ上に形成する層間絶縁膜を平坦化し、その層間絶縁膜に成膜した金属厚膜をスパイラル形状の厚膜インダクタに加工するので、加工が円滑に行われ、かつ加工精度が高く、クオリティファクタQおよび信頼性の高い通信用の半導体装置を与える。請求項7の半導体装置の製造方法によれば、層間絶縁膜の平坦化を回転塗布するスピンドルガラス膜の形成と、続くスピンドルガラス膜のエッチバックによって行うので、その上に形成する金属厚膜は平坦化され、その金属厚膜を加工することにより加工精度の高い厚膜インダクタを備えた半導体装置を与える。

【0048】請求項8の半導体装置の製造方法によれば、層間絶縁膜の平坦化を層間絶縁膜の形成とスピンドルガラス膜の回転塗布とスピンドルガラス膜のエッチバックとの組み合わせを2回以上繰り返して層間絶縁膜の平坦化を行うので、層間絶縁膜が一層平坦化されるほか、半導体装置の3層目や4層目の配線に厚膜インダクタを形成することを可能にする。請求項9の半導体装置の製造方法によれば、金属厚膜の加工を反応性イオンエンチャージング法によって行うので、厚膜インダクタの微細な加工を精密に高速で行うことを可能にする。

#### 【図面の簡単な説明】

【図1】図1から図6までは、実施例1の半導体装置におけるダブルポリシリコン型バイポーラトランジスタの製造方法を示す図であり、図1のAは半導体基板に埋め込み層とエピタキシャル層を形成し、その上へ熱酸化膜とL P窒化ケイ素膜を形成した状態、Bは素子形成領域にレジスト膜を残し、その両側に素子分離領域を作成するための準備をしている状態を示す。

【図2】図1に続く図であり、Aは素子分離用の熱酸化膜を形成した後、埋め込み層の引き出し部を形成するために不純物をイオン注入している状態、Bはキャップ膜を形成した後、熱処理し不純物を拡散させて埋め込み層にプラグを形成し、次いで表面を平坦化させた状態を示す。

【図3】図2に続いて、図3のAは素子分離領域を形成するためにレジスト膜を介してBイオンを注入している状態、Bはn p nトランジスタの形成領域における酸化ケイ素膜を除去した状態を示す。

【図4】図3に続いて、図4のAはベース取り出し抵抗とするポリシリコン膜を形成してB F<sup>2+</sup>イオンを注入している状態、Bはポリシリコン膜の上に酸化ケイ素膜を形成した後、n p nトランジスタの真性ベース領域を形成するために酸化ケイ素膜とポリシリコン膜をエッチングした状態を示す。

【図5】図4に続いて、図5のAはBイオンを注入して真性ベース領域を形成した後、酸化ケイ素膜を形成して熱処理し、ポリシリコン膜からBイオンを拡散させてグラフトベース層を形成させた状態、Bは酸化ケイ素膜をドライエッチングしてエミッタ開口部にサイドウォールを形成した状態を示す。

【図6】エミッタ形成領域にポリシリコン膜を形成し、Asをイオン注入した後、熱処理しAsを拡散させてエミッタを形成させ、更にベース電極、コレクタ電極、エミッタ電極を設けた状態を示す。

【図7】図7、図8は実施例1の半導体装置における厚膜インダクタの製造方法を示す図であり、図7のAは図6の電極を含む一層目の配線を示す。Bは酸化ケイ素膜を形成した後、SOG膜を回転塗布し、そのSOG膜をエッチバックして表面を平坦化させた状態、Cは層間絶縁膜を形成した後、1層目の配線と2層目の配線とを接続するコンタクト電極用の開口を設けた状態を示す。

【図8】図7に続いて、図8のAは層間絶縁膜の上に形成させたA1厚膜を加工して厚膜インダクタとコンタクト電極を含む2層目の配線とを形成させた状態、Bは全面にパッシベーション膜を形成した状態を示す。

【図9】図9から図12までは実施例2の半導体装置における厚膜インダクタの製造方法を示す図であり、図9のAは図6の1層目の配線を示す。Bは酸化ケイ素膜を形成した後、SOG膜を回転塗布し、そのSOG膜をエッチバックして表面を平坦化させた状態を示す。

【図10】図9に続いて図10のAは更に層間絶縁膜を形成した後、1層目の配線と2層目の配線とを接続するコンタクト電極用の開口を設けた状態、Bは2層目の配線を形成した状態を示す。

【図11】図10に続いて図11のAは酸化ケイ素膜を\*

\*形成した後にSOG膜を回転塗布し、そのSOG膜をエッチバックする操作を2度繰り返し、その上に酸化ケイ素の層間絶縁膜を形成した状態、Bは2層目の配線と3層目の配線とのコンタクト電極用の開口を設けた状態を示す。

【図12】図11に続いて図12のAはA1厚膜を形成した後、これを加工して厚膜インダクタとコンタクト電極を含む3層目の配線を形成した状態、Bは全面にパッシベーション膜を形成した状態を示す。

10 【図13】平面的なスパイラル形状のインダクタの平面図である。

【図14】図13における[14]-[14]線方向の断面図である。

【図15】従来例のハイブリッド集積回路の平面図である。

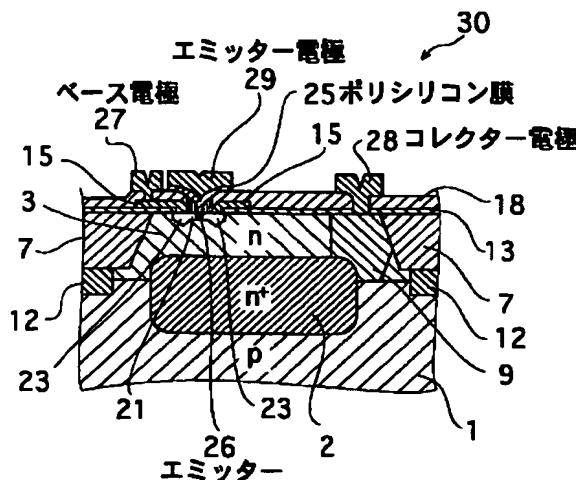
【図16】他の従来例の半導体装置におけるインダクタの斜視図である。

【図17】もう一つの従来例の半導体装置におけるインダクタを示す図であり、Aは平面図、BはAにおける[B]-[B]線方向の断面図である。

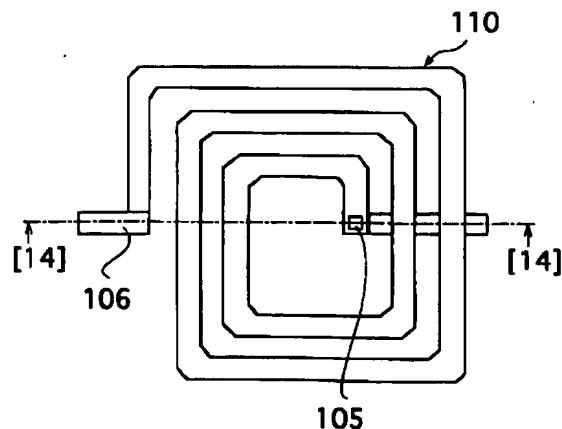
#### 【符号の説明】

- 1 ……半導体基板、2 ……埋め込み層、3 ……エピタキシャル層、7 ……素子分離用熱酸化膜、9 ……不純物拡散プラグ、12 ……素子分離用不純物拡散領域、15、25 ……ポリシリコン膜、27 ……ベース、28 ……コレクタ、29 ……エミッタ、30 ……ダブルポリシリコン型バイポーラトランジスタ、32、34、41、43、45 ……酸化ケイ素膜、33、42、44 ……SOG膜、31 ……1層目のA1配線、35 ……2層目のA1配線、46 ……3層目のA1配線、36、47 ……パッシベーション膜、51、52 ……厚膜インダクタ。

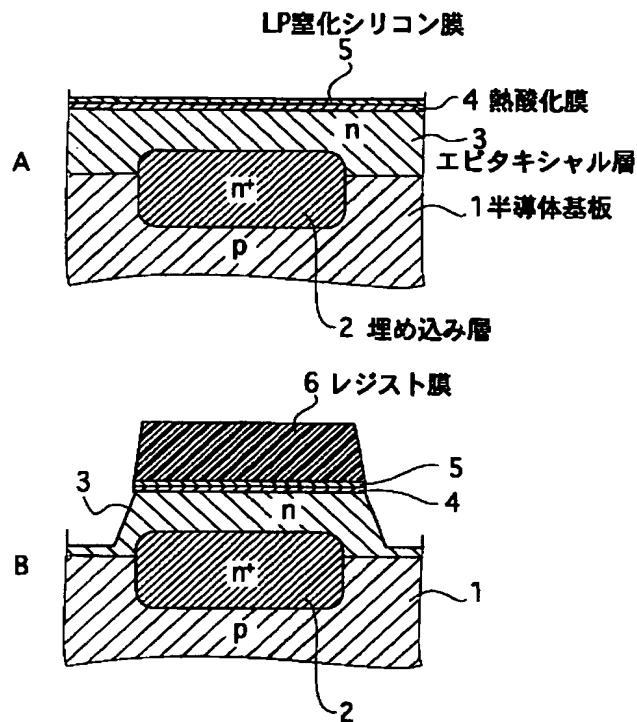
【図6】



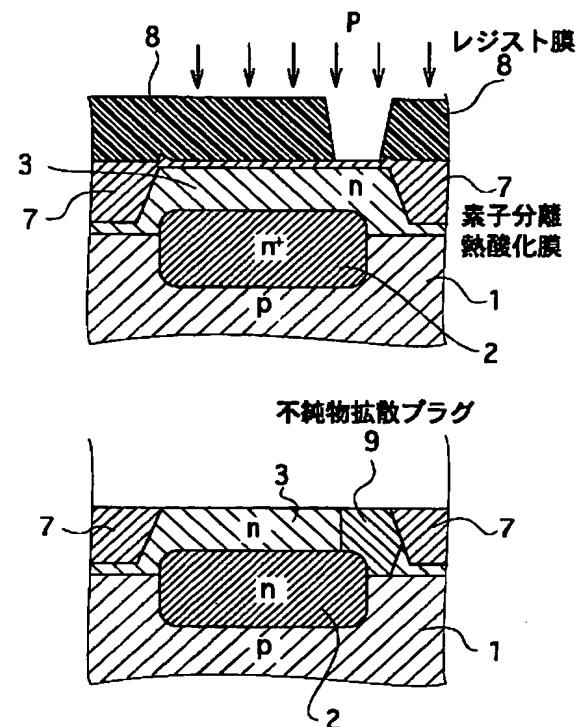
【図13】



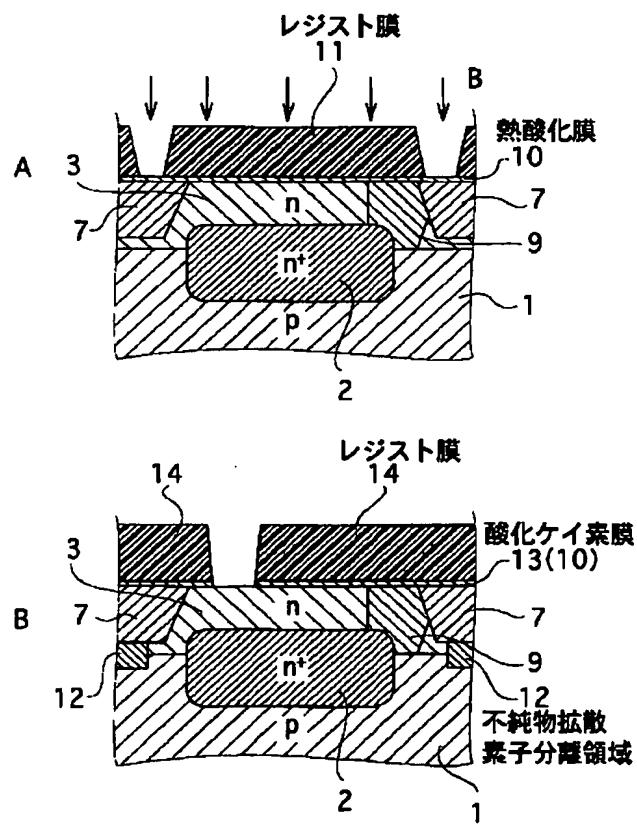
【図1】



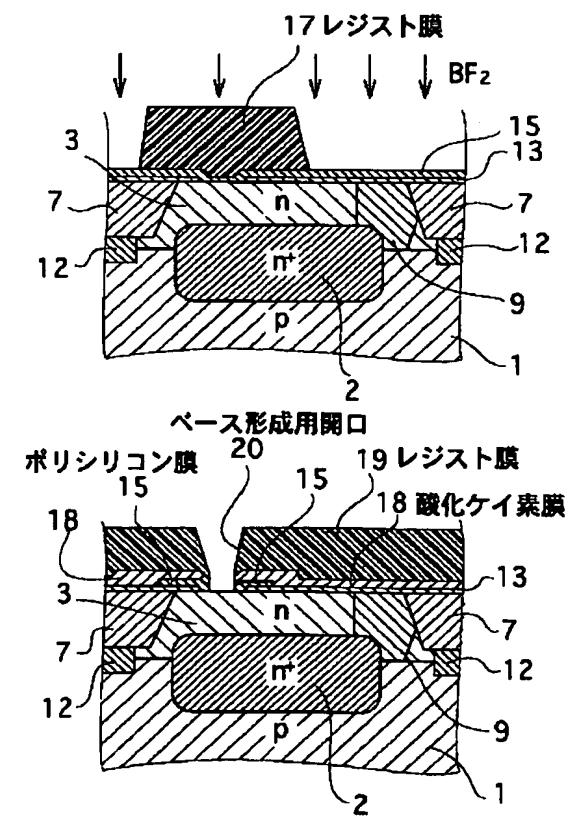
【図2】



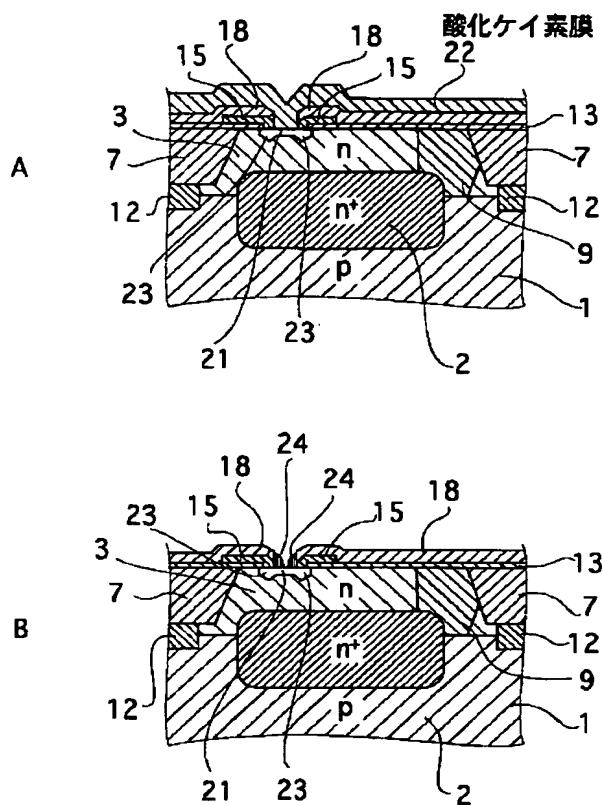
【図3】



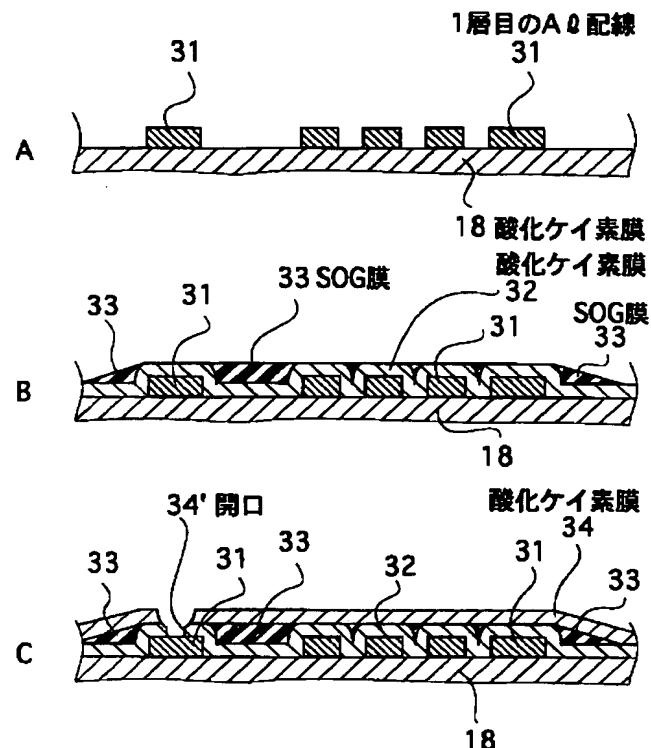
【図4】



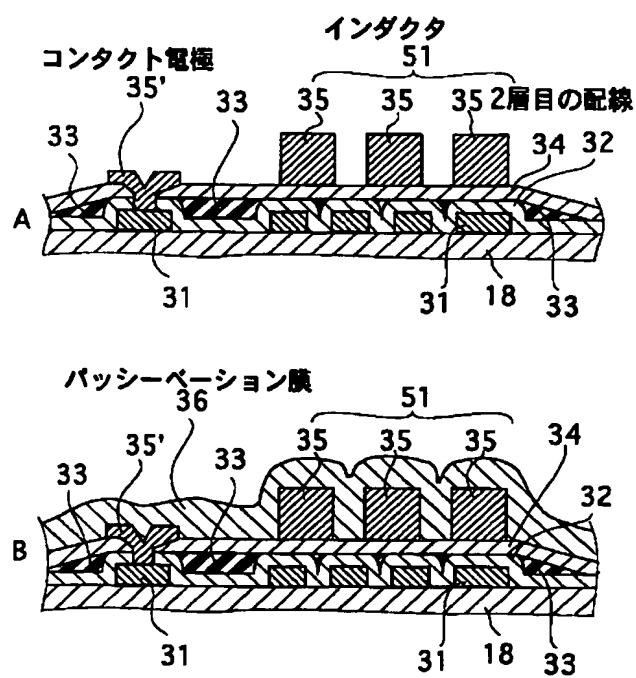
【図5】



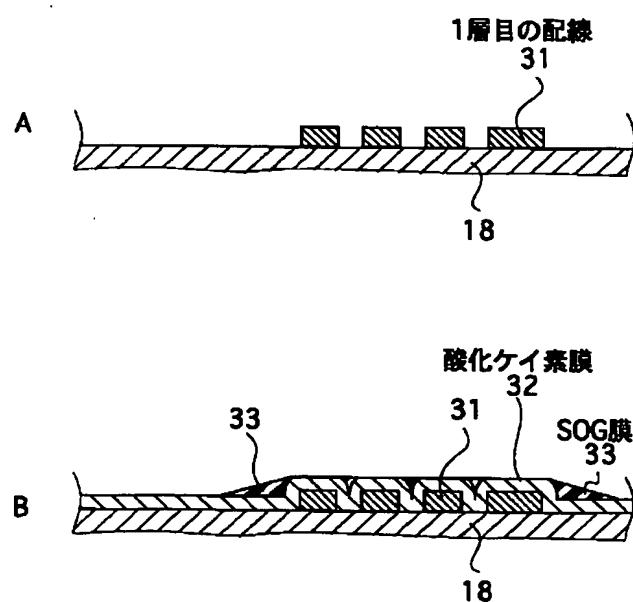
【図7】



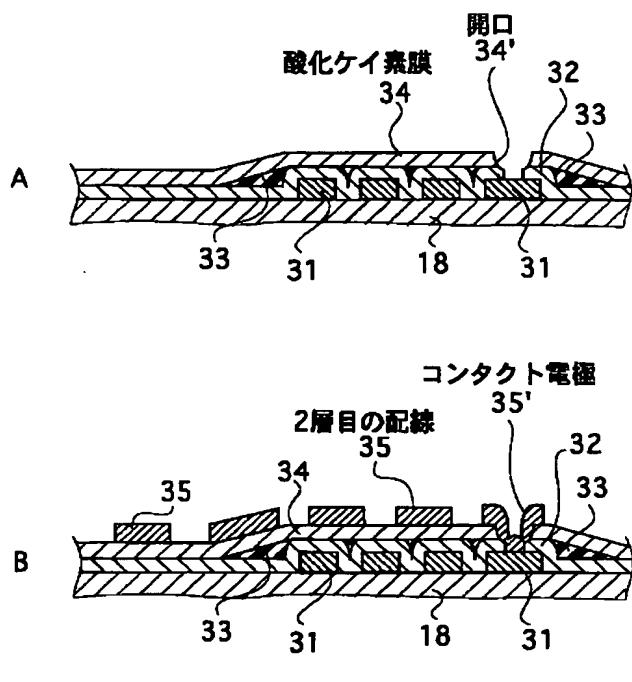
【図8】



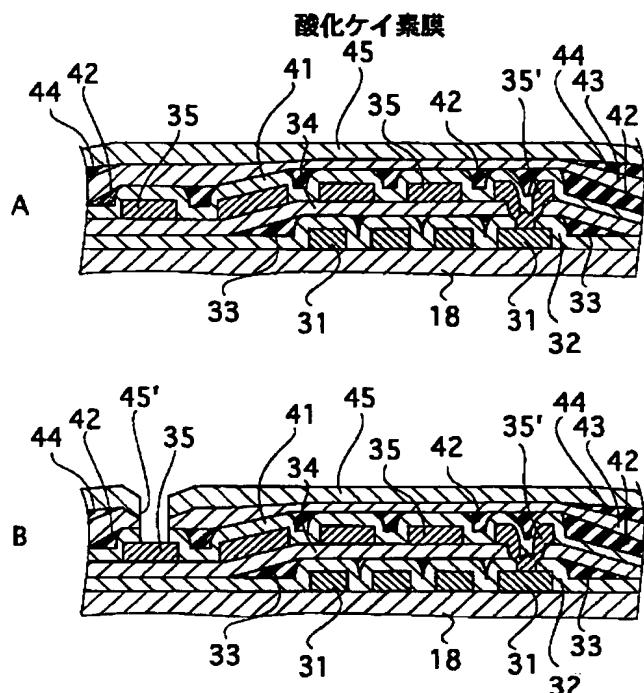
【図9】



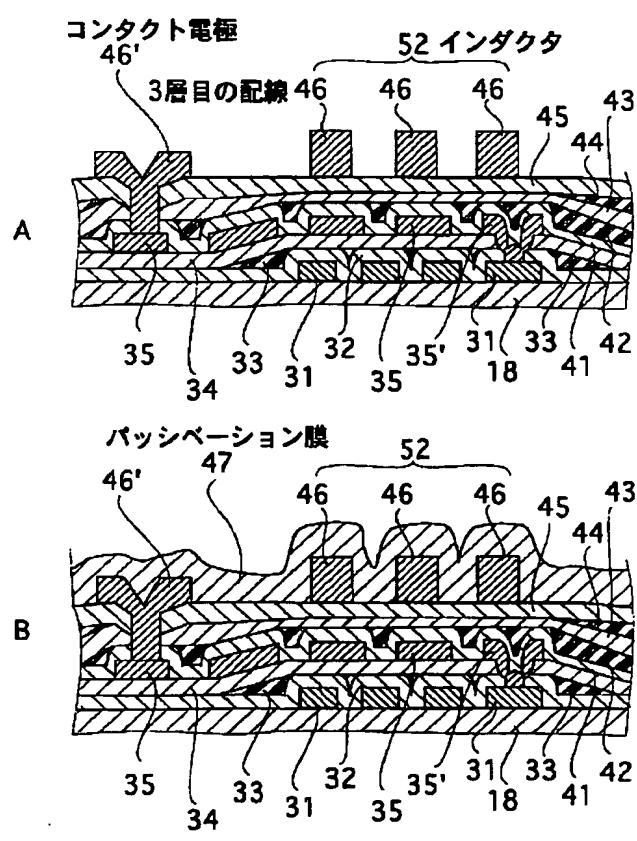
【図10】



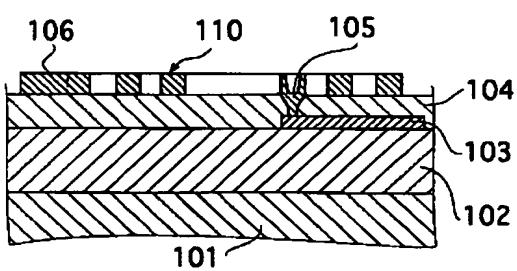
【図11】



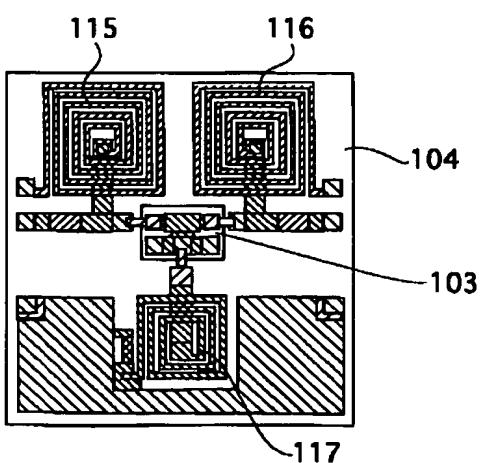
【図12】



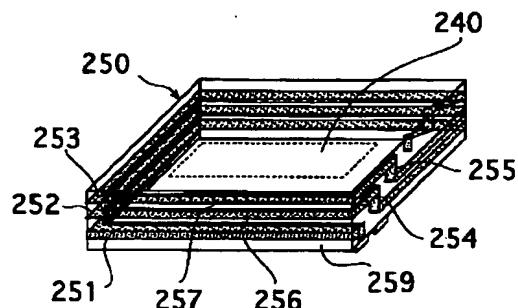
【図14】



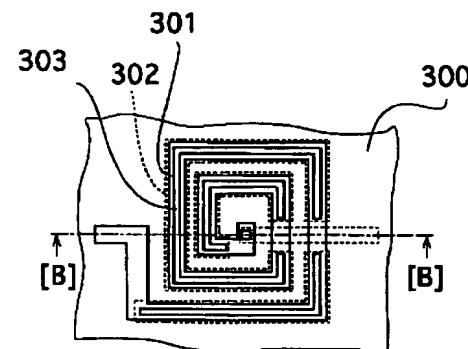
【図15】



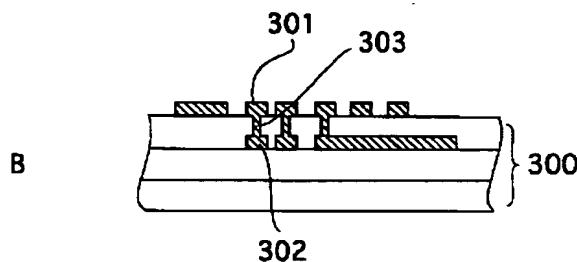
【図16】



【図17】



A



B

## フロントページの続き

(51) Int.Cl.

識別記号

F I

テマコード(参考)

H 01 L 27/06

29/732

F ターム(参考) 5F003 BA12 BB06 BB07 BC08 BE07  
 BJ18 BP06 BP15 BS06  
 5F033 HH04 HH08 HH11 HH18 HH19  
 HH20 HH33 JJ01 JJ04 JJ08  
 JJ18 JJ33 KK01 KK04 KK08  
 LL04 MM05 MM13 NN06 NN07  
 PP06 PP15 QQ08 QQ09 QQ11  
 QQ13 QQ31 QQ37 QQ48 QQ59  
 QQ65 QQ73 QQ74 QQ75 QQ79  
 RR04 RR09 RR14 RR15 SS11  
 SS15 SS21 TT06 VV00 VV08  
 XX01  
 5F038 AZ05 EZ14 EZ20  
 5F082 BA09 BA10 BA11 BA26 BC01  
 BC14 DA06 DA07 DA09 DA10  
 EA12 EA31